

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-298328

(43)Date of publication of application : 12.11.1996

(51)Int.Cl.

H01L 29/786

H01L 29/78

H01L 21/336

(21)Application number : 07-103500

(71)Applicant : HITACHI LTD

HITACHI DEVICE ENG CO LTD

(22)Date of filing : 27.04.1995

(72)Inventor : SHIBA TAKEO

MIYAUCHI AKIHIRO

UCHINO TAKASHI

ONISHI KAZUHIRO

KIYOTA YUKIHIRO

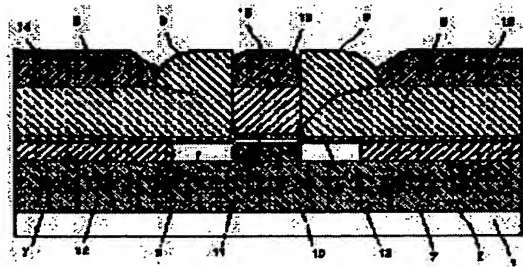
SHIMAMOTO HIROMI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To improve the drain saturation current of MOSFET and the with stand voltage between the source and the drain, and enable the high speed operation by reducing the parasitic resistances of the source and the drain and the gate parasitic capacitance.

CONSTITUTION: Source/drain electrodes 12 composed of a single crystal silicon film of low resistance are formed on a thin source-drain diffusion layer 12. The angle of gate side end portion of the silicon film is smaller than 90° . A gate electrode 13 is isolated from the source/drain electrodes 12 by an isolation oxide film 9. The portion where the source/drain electrodes are the most adjacent to the gate electrode 13 is isolated by a gate oxide film 11. Thereby the leak current due to punch through between the source and the drain and withstand voltage deterioration are abated, and parasitic resistances of the source and the drain are reduce, so that the drain saturation current is increased, the gate parasitic capacitance is reduce, and the operation speed is remarkably improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 2 9 8 3 2 8

(43) 公開日 平成 8 年 (1 9 9 6) 1 1 月 1 2 日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
H01L 29/786			H01L 29/78	616 T
29/78				301 H
21/336				301 X
				616 A
				617 L

審査請求 未請求 請求項の数 1 8 O L (全 1 4 頁)

(21) 出願番号 特願平 7 - 1 0 3 5 0 0
(22) 出願日 平成 7 年 (1 9 9 5) 4 月 2 7 日

(71) 出願人 0 0 0 0 0 5 1 0 8
株式会社日立製作所
東京都千代田区神田駿河台四丁目 6 番地
(71) 出願人 0 0 0 2 3 3 0 8 8
日立デバイスエンジニアリング株式会社
千葉県茂原市早野 3 6 8 1 番地
(72) 発明者 芝 健夫
東京都国分寺市東恋ヶ窪 1 丁目 2 8 0 番地
株式会社日立製作所中央研究所内
(72) 発明者 宮内 昭浩
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内
(74) 代理人 弁理士 薄田 利幸

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

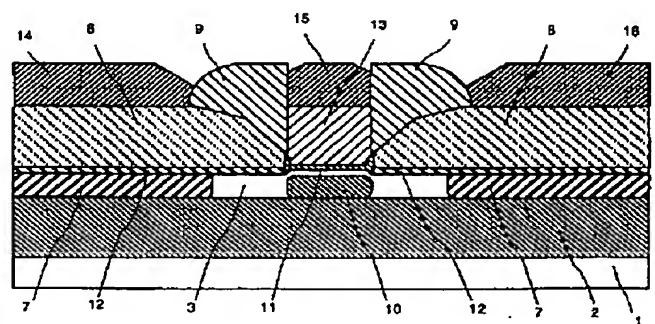
(57) 【要約】

【目的】 MOSFET のドレイン飽和電流とソースとドレイン間耐圧を向上し、ソースとドレインの寄生抵抗およびゲート寄生容量を低減させて高速化する。

【構成】 薄いソース、ドレイン拡散層 1 2 の上に、ゲート側の端部の角度が 9 0 度より小さな低抵抗の単結晶シリコン膜からなるソース、エイン電極 1 2 が形成され、ゲート電極 1 3 とソース、ドレイン電極 1 2 は分離酸化膜 9 によって分離され、ソース、ドレイン電極 1 2 とゲート電極 1 3 が最も接近している箇所はゲート酸化膜 1 1 によって分離される。

【効果】 ソースとドレイン間のパンチスルーにもとづくリーク電流と、耐圧劣化が現象し、ソースおよびドレインの寄生抵抗が低減するため、ドレイン飽和電流が増加し、ゲート寄生容量が低減されて、著しく高速化される。

図 1



- 1 ... シリコン基板、 2、5、9 ... シリコン酸化膜、
- 3 ... 単結晶シリコン膜、 4 ... シリコン窒化膜、
- 6 ... 多結晶シリコン膜、 7、12 ... 不純物拡散層、
- 8 ... 単結晶シリコン膜、 10 ... パンチスルーストップパー層、
- 11 ... ゲート酸化膜、 13、15 ... 金属ゲート電極、
- 14 ... 金属ソース電極、 16 ... 金属ドレイン電極、

【特許請求の範囲】

【請求項 1】第 1 導電型を有する半導体基板の表面領域に、所定の間隔を介して互いに対向して設けられた上記第 1 導電型とは逆の第 2 導電型を有するドレイン拡散層およびソース拡散層と、当該ドレイン拡散層とソース拡散層の間の上記半導体基板の表面上に形成されたゲート絶縁膜と、当該ゲート絶縁膜上に形成されたゲート電極と、上記ドレイン拡散層およびソース拡散層の表面に沿ってそれぞれ形成された、上記第 2 導電型を有する低抵抗の半導体膜からなるドレイン電極およびソース電極と、当該ドレイン電極およびソース電極の上記ゲート電極と最も近接した部分と上記ゲート電極の間にそれぞれ介在する分離絶縁膜を少なくとも具備し、当該分離絶縁膜の膜厚は、上記ゲート絶縁膜の膜厚に等しいか、若しくは上記ドレイン拡散層およびソース拡散層の、上記ゲート電極に最も接近している部分の拡散深さより小さく、かつ、上記ドレイン電極およびソース電極の、上記ゲート電極側の端部と上記半導体基板の表面との間の角度は、90 度より小さいことを特徴とする半導体装置。

【請求項 2】上記分離絶縁膜は、上記ゲート絶縁膜の上記ゲート電極の側部上に延伸された部分であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】上記分離絶縁膜の上部の膜厚は、下部の膜厚より大きいことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】上記分離絶縁膜は、上記ゲート電極の側部上に選択的に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】上記ソース拡散層およびドレイン拡散層は、上記分離絶縁膜の下方に延伸されていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】上記ドレイン電極およびソース電極は、それぞれ単結晶シリコンからなることを特徴とする請求項 1 から 5 のいずれか一に記載の半導体装置。

【請求項 7】上記ドレイン電極およびソース電極の上には、それぞれ金属ドレイン電極および金属ソース電極が形成されていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 8】上記ドレイン電極およびソース電極と上記ゲート電極の間には、上部の膜厚が下部の膜厚より大きい絶縁膜が介在していることを特徴とする請求項 1、2、4、5、6 および 7 のいずれか一に記載の半導体装置。

【請求項 9】上記ドレイン拡散層およびソース拡散層の下には、当該ドレイン拡散層およびソース拡散層より厚く、かつ、上記ゲート電極の端部からの距離が、上記ゲート電極と上記ドレイン拡散層およびソース拡散層の間の距離よりそれぞれ大きい、上記第 2 導電型を有する第 2 のドレイン拡散層および第 2 のソース拡散層が形成されていることを特徴とする請求項 1 から 8 のいずれか一

に記載の半導体装置。

【請求項 10】上記第 2 のドレイン拡散層と上記第 2 のソース拡散層の間の上記半導体基板内には上記第 1 導電型を有するチャンネルストップ層が形成されていることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】上記第半導体基板は、絶縁膜上に形成された単結晶シリコン膜であることを特徴とする請求項 1 から 10 のいずれか一に記載の半導体装置。

【請求項 12】上記ソース拡散層およびドレイン拡散層の底部は、上記絶縁膜に接していることを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】上記ゲート電極の上面の面積は底面の面積より大きく、上記ソース拡散層および上記ドレイン拡散層は、上記ゲート電極の上面の下方まで延伸されていることを特徴とする請求項 1 から 33 および 8 から 12 のいずれか一に記載の半導体装置。

【請求項 14】下記工程を含む半導体装置の製造方法。

(1) 第 1 導電型を有する半導体基板の表面上に所定の形状を有する窒化シリコン膜を形成する工程、

(2) 薄い第 1 の酸化シリコン膜を全面に形成する工程、

(3) 上記窒化シリコン膜の側部上に、上記第 1 の酸化シリコン膜を介して多結晶シリコン膜を選択的に形成する工程、

(4) 上記第 1 の酸化シリコン膜の露出された部分を介して、上記半導体基板上に上記第 1 導電型とは逆の第 2 導電型不純物をドーピングして、第 2 導電型不純物拡散層を形成する工程、

(5) 上記多結晶シリコン膜および第 1 の酸化シリコン膜を除去した後、エピタキシャル成長を行って、高濃度の上記第 2 導電型不純物を含み、かつ、上記窒化シリコン膜側の端部の上記半導体基板の表面に対する角度が 90 度以下である単結晶シリコン膜を形成する工程と、

(6) 所定の形状を有する第 2 の酸化シリコン膜を形成して、上記窒化シリコン膜と上記単結晶シリコン膜の間の凹部を充填する工程、

(7) 上記窒化シリコン膜を除去した後、酸化処理を行って上記半導体基板の露出された部分にゲート絶縁膜を形成する工程、

(8) 熱処理を行って、上記単結晶シリコン膜に含まれる上記第 2 導電型不純物を上記半導体基板の表面に拡散し、ソース拡散層およびドレイン拡散層を形成する工程、

(9) 上記ゲート絶縁膜上に導電性膜を形成してゲート電極を形成する工程。

【請求項 15】上記工程 (7) において、上記窒化シリコン膜を除去した後、上記ゲート絶縁膜の形成に先だって、上記第 1 導電型を有する不純物を上記半導体基板の露出された部分にドーピングして、パンチスルーストップ層を形成する工程が付加されることを特徴とする請求項 1

4 に記載の半導体装置の製造方法。

【請求項 1 6】上記工程 (1) において、上記半導体基板は、絶縁膜上に形成された単結晶シリコン膜からなる S O I 基板であることを特徴とする請求項 1 4 若しくは 1 5 に記載の半導体装置の製造方法。

【請求項 1 7】上記工程 (4) は省略され、かつ、上記工程 (8) は、上記ソース拡散層およびドレイン拡散層の端面が上記絶縁膜に到達するように行われることを特徴とする請求項 1 6 に記載の半導体装置の製造方法。

【請求項 1 8】下記工程を含む半導体装置の製造方法。

(1) 第 1 導電型を有する半導体基板の表面を酸化して第 1 の酸化シリコン膜を形成する工程、

(2) 上記第 1 の酸化シリコン膜の所定部分の上に、所定の形状を有する低抵抗の多結晶シリコン膜および窒化シリコン膜の積層膜を形成する工程、

(3) 第 2 の酸化シリコン膜を全面に形成した後、上記第 2 の酸化シリコン膜の露出された部分を介して上記第 1 導電型を有する不純物をドーブし、上記半導体基板内にパンチスルーストップバを形成する工程、

(4) 上記第 2 の酸化シリコン膜のうち、上記積層膜の側部上に形成されている部分を残し、他の部分は除去する工程、

(5) 上記半導体基板の露出された表面上に、上記第 2 導電型を有する単結晶シリコン膜を、エピタキシャル成長によって選択的に形成する工程、

(6) 上記窒化シリコン膜を除去した後、熱処理を行って上記単結晶シリコン膜から上記第 2 導電型を有する不純物を上記半導体基板に拡散させて、浅い拡散層を形成する工程。

(7) 導電性膜を全面に形成した後、所定部分を除去して、ゲート電極、ソース電極およびドレイン電極を形成する工程。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】本発明は半導体装置およびその製造方法に関し、詳しくは、電界効果トランジスタのソース電極とドレイン電極の間のリーク電流を抑制してドレイン飽和電流を増加させ、寄生容量と寄生直列抵抗を低減するのに好適な半導体装置およびこの半導体装置を、自己整合技術によって形成することのできる半導体装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】従来の M O S (Metal-Oxide-Semiconductor) 型電界効果トランジスタ (以下 M O S F E T と称する) においては、ゲート長を短縮したときに、ソース電極とドレイン電極間のパンチスルー現象に起因するリーク電流を抑制し、ソース電極とドレイン電極の間の寄生直列抵抗を低減することによって、ドレイン飽和電流を増加させ半導体集積回路の動作遅延時間を低減するために、ソースおよびドレイン拡散層上に低抵抗の電極を積

み上げる方法が、例えば、特開昭 5 5 - 3 6 1 4、特開昭 5 5 - 4 9 6 4 および特開昭 5 6 - 6 6 0 7 4 などに記載されている。

【 0 0 0 3 】これらのうち、特開昭 5 8 - 3 6 1 4 には、図 4 (a) に示した断面構造を有するトランジスタが開示されている。このトランジスタにおいては、ソース拡散層 7 3 およびドレイン拡散層 7 4 の上に、高不純物濃度シリコンからなる低抵抗のソース電極 7 6 および低抵抗のドレイン電極 7 7 がそれぞれ積み上げられており、さらに、ゲート電極 7 2 および電極間分離絶縁膜 7 5 を具備している。上記低抵抗のソース電極 7 6 およびドレイン電極 7 7 を、ソース拡散層 7 3 およびドレイン拡散層 7 4 の上に、それぞれ積み上げることによって、ソース電極 7 6 とドレイン電極 7 7 の間の寄生直列抵抗を低減し、それによってドレイン飽和電流を増加できるという長所を有している。特開昭 5 5 - 4 9 6 4 および特開昭 5 6 - 6 6 0 7 4 に開示されているトランジスタも、これと同様の構造と長所を有している。

【 0 0 0 4 】また、1 9 9 2 年度の電子素子に関する国際会議 (International Electron Devices Meeting, IE DM92) の論文集、8 5 3 頁 ~ 8 5 6 頁には、図 4 (b) に示した断面構造を有するトランジスタが開示されている。半導体基板 8 0 の上に形成されたシリコン膜からなるソース電極 8 4 およびドレイン電極 8 5 と、その上に形成されたソース拡散層 8 6 およびドレイン拡散層 8 7、ゲート酸化膜 8 1 を介して上記半導体基板 8 0 上に形成されたゲート電極 8 2、および電極間分離絶縁膜 8 3 を具備している。

【 0 0 0 5 】このトランジスタが、図 4 (a) に示したトランジスタと異なる点は、半導体基板 8 0 上にそれぞれ形成された、ソース電極 8 4 およびドレイン電極 8 5 の、ゲート電極 8 2 側の側面と半導体基板 8 0 上面と成す角度が、9 0 度よりも小さいことおよび上記ソース電極 8 4 とドレイン電極 8 5 内部の不純物イオンが、当該ソースおよびドレイン電極 8 4、8 5 の表面付近の一部に注入されていることの 2 点である。前者の相違点のため、積み上げ電極 8 4 および 8 5 とゲート電極 8 2 の間のゲート寄生容量を低減することができ、また、後者の相違点のため、ソース電極 8 4 およびドレイン電極 8 5 と半導体基板 8 0 の間の寄生接合容量を低減することができる。

【 0 0 0 6 】

【発明が解決しようとする課題】図 4 (a) に示した上記従来のトランジスタでは、分離絶縁膜 7 5 の底部はソース拡散層 7 3 およびドレイン拡散層 7 4 と、それぞれ直接接触し、両者の間に低抵抗のソース電極 7 6 およびドレイン電極 7 7 は介在していない。そのため、ソース拡散層 7 3 とドレイン拡散層 7 4 間のパンチスルーを抑えさるる目的で、両拡散層 7 3、7 4 の拡散深さを浅くすると、両拡散層 7 3、7 4 の膜抵抗が増大するため、ソ

ース電極76とドレイン電極77の間の寄生直列抵抗が増加して、ドレイン飽和電流が低下してしまう。この問題を解決するために、分離絶縁膜75をなくしたり薄くしたりすると、ソース電極76およびドレイン電極77とゲート電極72の間でリーク電流が流れたり、ゲート寄生容量が増加してしまう。

【0007】また、図4(b)に示した上記従来のトランジスタでも、ソース拡散層86とドレイン拡散層87の拡散深さを浅くすると、これらの拡散層86、87の膜抵抗が大きくなって、ソース電極84とドレイン電極85の間の寄生直列抵抗が増大して、ドレイン飽和電流が低下してしまう。特に、図4(b)に示した従来のトランジスタでは、ソース拡散層86およびドレイン拡散層87のうち、半導体基板80内に形成された部分は、ソース電極84およびドレイン電極85の端部の内側のみであり、両電極84、85の直下には形成されていないため、当該両積み上げ電極84、85の間の膜抵抗は極めて高く、ソース電極84とドレイン電極85の間の寄生直列抵抗が著しく増大してしまい、このようなMOSFETを用いて集積回路を高速化するのは困難であった。

【0008】本発明の目的は、上記従来のトランジスタの有する問題を解決し、MOSFETのゲート長の微細化にともなって生ずる、ソース電極とドレイン電極の間のパンチスルー現象による電流リークと耐圧劣化を抑え、さらに、同時に弊害として起こる電極寄生抵抗の増加、ドレイン飽和電流の低下および電極間寄生容量の増加を抑制して、高速動作が可能な半導体装置およびこの半導体装置を高い精度で形成できる半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明は、第1導電型を有する半導体層の表面領域内に、第2導電型を有する浅いソース、ドレイン拡散層を形成し、この浅いソース、ドレイン拡散層の表面上に積み上げて形成された、高濃度の第2導電型を有するシリコン膜とゲート電極を、分離絶縁膜によって互いに絶縁分離し、かつ、上記シリコン膜の上記ゲート電極側の端部を、上記半導体層の表面に対して90度以下の傾斜にするものである。

【0010】すなわち、図3および図1は、それぞれ本発明のMOSFETの平面構造およびそのA-A'断面構造の一例を示す。図1から明らかなように、このMOSFETは、シリコン酸化膜2上に形成された第1導電型を有する薄い単結晶シリコン膜3に形成されており、単結晶シリコン膜3内には上記第1導電型とは逆の第2導電型を有する不純物拡散層7、12が形成され、さらに、単結晶シリコン膜3の上に積み上げられた第2導電型を有する低抵抗シリコン膜からなるソース、ドレイン電極8、ゲート酸化膜11、ゲート電極13、15、金

属ソース電極14、金属ドレイン電極16およびこれらの電極14、16を互いに分離するためのシリコン酸化膜9が設けられている。

【0011】上記低抵抗シリコン膜8がゲート電極13と最も接近する部分では、両者の間にゲート酸化膜11の端部が介在し、両者は互いに分離されている。上記低抵抗シリコン膜8の、ゲート電極13側の側面と単結晶シリコン膜3の表面の間の角度は90度以下である。また、上記低抵抗シリコン膜8の内部には、第2導電型不純物イオンが均一に高濃度に注入されており、上記第2導電型不純物拡散層12は、この低抵抗シリコン膜8からの不純物拡散により形成され、その時の熱処理温度および時間を制御することによって、不純物拡散深さは適宜制御される。

【0012】

【作用】単結晶シリコン膜3の表面に形成された第2導電型を有する不純物拡散層12は、低抵抗シリコン膜8を拡散源とする固相拡散によって形成されるので、拡散深さが50nm以下の非常に浅い拡散層12を形成でき、ゲート長を短縮した場合のソースおよびドレイン電極間のパンチスルー現象およびこの現象にもとづくリーク電流や耐圧劣化を、効果的に抑制できる。不純物拡散層12の厚さが薄いため、膜抵抗は増大するが、低抵抗シリコン膜8がその上に形成され、膜厚10nm以下という極めて薄いゲート酸化膜11を介してゲート電極13に接近しているため、ソースおよびドレイン電極寄生直列抵抗の増大は効果的に抑制される。

【0013】低抵抗シリコン膜8からの第2導電型不純物の拡散は横方向にも起こり、低抵抗シリコン膜8とゲート電極13を隔てているゲート絶縁膜11が極めて薄いため、不純物拡散層12とゲート電極13をオーバーラップさせることができ、ドレイン飽和電流は効果的に増加される。

【0014】低抵抗シリコン膜8のゲート電極13側の側面と単結晶シリコン膜3表面との角度は、90度以下であるため、低抵抗シリコン膜8とゲート電極13間に介在する分離酸化膜9の厚さは上の部分ほど厚くなり、ソース電極14およびドレイン電極16と、ゲート電極15の間のゲート寄生容量の増加は抑制される。なお、図1から明らかなように、第2導電型不純物拡散層7が、厚い酸化膜2の表面に達しているので、薄い第2導電型不純物拡散層12と単結晶シリコン膜3との間の寄生接合容量は低減される。

【0015】図5に示した電気的特性の測定結果から明らかなように、本発明によって得られた特性51、53は、従来のMOSFETによって得られた特性50、52に比べ、ゲート寄生容量の増加を抑制しながら、効率的にドレイン飽和電流を増加することができる。

【0016】

【実施例】

〔実施例 1〕薄膜シリコン基板を用いて MOSFET を形成した本発明の第 1 の実施例を、図 1、図 3 および図 6 ~ 図 11 を用いて説明する。図 1 は、図 3 に示した MOSFET の平面図の A - A' 断面図であり、図 6 ~ 図 11 はこの FET の製造方法を示す工程図である。

【0017】まず、図 6 に示したように、シリコン基板 1 上に形成されたシリコン酸化膜 2 の上に、単結晶シリコンを周知の方法によって成長させて、厚さ約 50 nm の薄い単結晶シリコン膜 3 を形成し、さらに、この単結晶シリコン膜 3 を所望の形状に加工した後、厚さがほぼ 200 nm のシリコン窒化膜 4 を周知の CVD 法を用いて形成し、周知の反応性イオンエッチングによって所定の形状に加工した。加工後のシリコン窒化膜 4 は、上記単結晶シリコン膜 3 を横断している。

【0018】次に、図 7 に示したように、膜厚 10 nm 前後の薄いシリコン酸化膜 5 を全面に形成した後、膜厚 100 nm 前後の多結晶シリコン膜を全面に形成し、この多結晶シリコン膜を全面異方性ドライエッチングを行って、上記シリコン窒化膜 4 の側壁のみに多結晶シリコン膜 6 を残し、他の部分上からは除去した。この状態で第 2 導電型不純物イオンを、上記シリコン酸化膜 5 を介して単結晶シリコン膜 3 に注入し、第 2 導電型不純物拡散層 7 を形成した。

【0019】上記多結晶シリコン膜 6 およびシリコン酸化膜 5 を除去した後、周知の減圧化学気相堆積法（以下 LPCVD 法と称する）により、濃度 $1 \times 10^{19} / \text{cm}^3$ 以上の第 2 導電型不純物を含む膜厚 100 nm 前後の高濃度の単結晶低抵抗シリコン膜 8 を、単結晶シリコン膜 3 上にのみ選択的に成長して、第 2 導電型不純物が均一に高濃度に拡散された単結晶の低抵抗シリコン膜 8 を形成した。この際、ファセット面と称される、単結晶シリコン膜 3 表面とは結晶方位が異なり、単結晶シリコン膜 3 表面とある決まった角度をなす面を、シリコン窒化膜 4 の近傍の低抵抗シリコン膜 8 に形成させた。その結果、シリコン窒化膜 4 近傍における、単結晶低抵抗シリコン膜 8 の側面の、単結晶シリコン膜 3 の表面に対する角度は、図 8 に示したように、60 度以下になった。なお、上記単結晶低抵抗シリコン膜 8 の成長条件は、温度 700 ~ 800 °C、ガス圧力 0.1 ~ 10 Torr、不純物濃度 $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ 、ソースガスとキャリアガスの混合比 1 : 1 ~ 1 : 1000 とするのが好ましく、この条件で成長を行えば良好な単結晶シリコン膜が形成できた。

【0020】膜厚がほぼ 200 nm のシリコン酸化膜を全面に形成した後、異方性ドライエッチングを行って不要部分を除去し、図 9 に示したように、上記シリコン窒化膜 4 の側壁近傍にシリコン酸化膜 9 を残した。

【0021】シリコン窒化膜 4 を除去し、このシリコン窒化膜 4 が除去された領域のみに、第 1 導電型不純物イオンを選択的に注入して、パンチスルーストップ層 10

を形成した後、露出された単結晶シリコン膜 3 表面を酸化して、図 10 に示したように膜厚が 10 nm 以下の薄いゲート酸化膜 11 を形成した。この際、単結晶低抵抗シリコン膜 8 の露出された表面も同時に酸化された。

【0022】ランプアニール法など、周知の短時間アニール法によって熱処理を行って、単結晶低抵抗シリコン膜 8 から単結晶シリコン膜 3 に第 2 導電型不純物を拡散し、拡散深さが 50 nm 以下の浅い不純物拡散層 12 を形成した。例えばタングステン等の金属膜を形成および周知の選択エッチングによって、上記シリコン窒化膜 4 が除去された領域に、上記金属からなるゲート電極 13 を形成した。さらに、周知の金属膜の形成とその選択エッチングによって、タングステンなどの金属膜を、ゲート電極 13 および単結晶低抵抗シリコン膜 8 の表面上のみに選択的に形成して、ソース電極 14、ゲート電極 15 およびドレイン電極 16 を形成して、図 11 に示した MOSFET を形成した。最後に、内部配線や電源線などの必要な配線を行って、本 MOSFET を用いた半導体集積回路を完成した。

【0023】本実施例によれば、パンチスルーが防止されるため、従来にくらべて、パンチスルーによる耐圧劣化やリーク電流の発生がはるかに少ない、ドレイン飽和電流が高い、ソース電極およびドレイン電極とゲート電極の間の寄生接合容量が少ないなど多くの顕著な効果が認められ、高速の MOSFET を得ることができた。

【0024】本発明によって得られた I - V 特性を図 32 に示した。この図から明らかなように、例えばゲート長が 0.1 μm 前後の nMOSFET において、短チャネル効果によるしきい値電圧の低下や、ソース / ドレイン間の耐圧の劣化を抑えながら、ドレイン飽和電流が 1 mA 前後という良好な特性を得ることができた。

【0025】〔実施例 2〕本実施例は、上記実施例 1 の製造工程を一部変えて、図 2 に示した MOSFET を形成した例である。本実施例では、上記実施例 1 に示した製造工程を簡略化するため、単結晶シリコン膜 3 の厚さを約 30 nm 以下まで薄くして、第 2 導電型拡散層 7 および第 1 導電型パンチスルーストップ層 10 の形成をなくし、第 2 導電型拡散層 12 がシリコン酸化膜 2 に接するようにしたものである。また、単結晶低抵抗シリコン膜 8 の、ゲート電極 13 側の端部の断面形状を、図 2 に示したように一部変更した。本実施例でも、上記実施例 1 と同様の効果が得られ、高速の MOSFET を実現することができた。

【0026】〔実施例 3〕本発明の第 3 の実施例を、図 12 ~ 図 18 を用いて説明する。まず、図 12 に示したように、シリコン酸化膜 22 とその上に形成された厚さが約 50 nm のシリコン膜 23 からなる薄膜シリコン基板を用意し、周知のホットエッチングを用いて上記シリコン膜 23 を所望の形状に加工した。

【0027】次に、露出されたシリコン膜 23 表面を酸

化して、膜厚 10 nm 以下の薄いゲート酸化膜 24 を形成した後、膜厚 100 nm、第 2 導電型不純物を濃度 $1 \times 10^{18} / \text{cm}^3$ 以上含んだ高濃度多結晶シリコン膜 25 および膜厚 150 nm のシリコン窒化膜 26 を積層して形成し、周知の反応性イオンエッチングによって所定の形状に加工して、図 13 に示したように、多結晶シリコンゲート電極 25 およびゲート段差 26 を形成した。この状態での平面構造は、多結晶シリコンゲート電極 25 およびゲート段差 26 は、上記シリコン膜 23 を横断した構造になっている。

【0028】膜厚 20 nm 以下の薄いシリコン酸化膜 27 を全面に形成した後、第 1 導電型不純物イオンを、上記薄いシリコン酸化膜 27 を介してシリコン膜 23 内に注入し、第 1 導電型を有するパンチスルーストップ層 28 を形成した。

【0029】異方性ドライエッチングによって上記薄いシリコン酸化膜 27 をエッチングし、図 14 に示したように、ゲート段差 26 およびゲート電極 25 の側壁のみにシリコン酸化膜 27 を残し、他の部分上からは除去した。

【0030】次に、周知の LPCVD 法によって、第 2 導電型不純物を濃度 $1 \times 10^{18} / \text{cm}^3$ 以上含ませながら、膜厚 100 nm の高濃度単結晶シリコン膜 30 を、上記パンチスルーストップ層 28 上のみに選択的に成長させた。この際、上記パンチスルーストップ層 28 上とは結晶方位が異なり、かつ、シリコン膜 23 の表面と所定の角度を成す面（ファセット面と称される）が、上記ゲート電極 25 の周辺のシリコン膜 30 に形成させた。こうすることによって、ゲート段差周辺の単結晶シリコン膜 30 の上面は、図 14 に示したように、シリコン膜 23 の表面に対して 60 度以下の角度となった。

【0031】次に、膜厚 200 nm のシリコン酸化膜 31 を全面に形成し、図 15 に示したように、異方性ドライエッチングを行って不要部分を除去した後、第 1 導電型不純物イオンを上記シリコン膜 30 に打ち込み、さらにアニールを行って、打ち込まれた上記第 1 導電型不純物イオンを、上記シリコン層 30 からその下の上記パンチスルーストップ層 28 内に拡散させて、第 2 導電型不純物拡散層 32 をシリコン膜 23 内に形成した。

【0032】シリコン窒化膜 26 を除去し、例えばランブアニール法など、所望の短時間アニールを行って、上記単結晶シリコン膜 30 を固相拡散源として、シリコン膜 23 内部に第 2 導電型不純物を拡散し、拡散深さが 50 nm 以下の浅い不純物拡散層 33 を、上記上記パンチスルーストップ層 28 および不純物拡散層 32 の表面に形成した。この際、横方向への拡散距離を、側壁シリコン酸化膜 27 の膜厚よりも深くすることにより、不純物拡散層 33 とゲート電極 25 をオーバーラップさせた。

【0033】次に、タングステンなどの金属膜を、多結晶シリコンゲート電極 2 および単結晶シリコン膜 30

の、露出された表面上のみに選択的に形成して、ソース電極 34、ゲート電極 35 およびドレイン電極 36 を形成して、図 16 に示した MOSFET を形成した。ここで、タングステンなどの金属膜とシリコン膜の 2 層膜からなる各電極の代わりに、金属とシリコンの化合物からなる、金属シリサイドの単層膜を用いてもよい。最後に内部配線や電源線などの必要な配線を行って、本 MOSFET を用いた半導体集積回路を完成した。

【0034】本実施例では、上記実施例 1 と異なり、薄いシリコン酸化膜 29 を電極間の分離に用いているが、その膜厚が 20 nm 以下と非常に薄いため、実施例 1 と同様に電極寄生抵抗が低減されて、ドレイン飽和電流が増大されるなど、実施例 1 と同様の効果が得られ、高速の MOSFET を実現できた。

【0035】〈実施例 4〉本発明の第 4 の実施例を、図 17 を用いて説明する。本実施例 4 は、シリコン膜を、LPCVD 法によってシリコン膜 23 上のみに選択的に成長させる際に、まず、第 2 導電型不純物を含まない、膜厚が 30 nm 程度の単結晶シリコン膜 40 を選択的に成長させ、続けて第 2 導電型をゆうする不純物ソースガスを成長と同時に流して、第 2 導電型不純物を濃度 $1 \times 10^{18} / \text{cm}^3$ 以上含む膜をその上に成長させて、合計膜厚 70 nm の高濃度単結晶シリコン膜 41 を、選択的に成長させた。

【0036】次に、上記実施例 3 と同様にして、第 2 導電型不純物イオン打ち込みを行い、第 2 導電型不純物拡散層 42 をシリコン膜 23 の内部に形成した。さらに、ランブアニール法などの短時間アニールを行って、高濃度の第 2 導電型単結晶シリコン膜 41 を固相拡散源として、第 2 導電型不純物をシリコン膜 40 へ深さ 10 nm 拡散させた。この結果、単結晶シリコン膜 41 から第 2 導電型不純物が拡散されない膜厚 20 nm の単結晶シリコン膜 40 が残った。

【0037】多結晶シリコン電極 25、側壁シリコン酸化膜 27 およびシリコン酸化膜 24 を除去した後、膜厚 10 nm 以下の薄いゲート酸化膜 43 および例えばタングステンなど金属からなるゲート電極 44 を形成し、以下、実施例 3 と同様にして図 17 に示す MOSFET を形成した。

【0038】本実施例では、ソースおよびドレイン拡散層となる高濃度の第 2 導電型単結晶シリコン膜 41 が、ゲート酸化膜 43 が設けられたシリコン膜 23 の表面よりも高い位置にあるため、パンチスルー現象にもとづくソースとドレイン電極間におけるリーク電流の発生を、さらに効果的に抑制できた。その他にも、上記実施例 1 と同様の効果が得られ、高速の MOSFET を実現できた。

【0039】〈実施例 5〉本発明を相補型 MOSFET（以下 CMOSFET と称する）に適用した実施例を、図 18 ～ 図 22 を用いて説明する。これらの図におい

て、左側に nMOSFET、右側に pMOSFET を示す。

【0040】まず、図 18 に示したように、熱酸化など周知の方法を用いて、シリコン基板 101 に、素子分離シリコン酸化膜 102 および絶縁膜が充填された素子分離溝 103、p 型ウエル拡散層 104 および n 型ウエル拡散層 105 を形成し、さらに、膜厚 20 nm のシリコン膜 106 を全面に系製した。この時、シリコン基板 101 の表面が露出している領域の上には単結晶シリコン膜が成長し、素子分離シリコン酸化膜 102 の上には多結晶シリコン膜が形成された。

【0041】次に、周知のホットエッチングによって、上記シリコン膜 106 を所望の形状に加工した後、膜厚 200 nm のシリコン窒化膜 107 を形成し、図 19 に示したように、ドライエッチングによって所定の形状に加工した。この状態における平面形状を見ると、シリコン窒化膜 107 は、シリコン膜 106 を横断している。p 型および n 型不純物イオンを、シリコン基板 101 およびシリコン膜 106 に選択的に注入して、p 型バンチスルーストップ層 108 および n 型バンチスルーストップ層 109 を、それぞれ形成した。

【0042】周知の LPCVD 法を用いて、n 型不純物を濃度 $1 \times 10^{18} / \text{cm}^3$ 以上含ませながら、膜厚 100 nm の n 型単結晶シリコン膜 110 を、nMOSFET 領域のシリコン膜 106 上におき選択的に成長し、さらに p 型不純物を濃度 $1 \times 10^{18} / \text{cm}^3$ 以上含ませながら、膜厚 100 nm の p 型単結晶シリコン膜 111 を、pMOSFET 領域のシリコン膜 106 上におき選択的に成長した。この際、図 20 に示したように、ファセット面と称される、シリコン膜 106 表面とは結晶方位が異なり、シリコン膜 106 表面と所定の角度をなす面が、上記窒化シリコン膜 107 近傍のシリコン膜 110 および 111 に、それぞれ形成された。その結果、単結晶シリコン膜 110、111 の、窒化シリコン膜 107 側の側面は、シリコン膜 106 表面に対して、60 度以下の角度になり、シリコン膜 110、111 は、素子分離酸化膜 102 上においては、いずれも高濃度の多結晶シリコン膜になった。

【0043】膜厚 200 nm のシリコン酸化膜を全面に形成した後、異方性ドライエッチングを行って、窒化シリコン膜 107 の側壁にシリコン酸化膜 112 を残し、他の部分は除去した。次に、シリコン膜 110 および 111 の露出せれた表面を酸化して、図 21 に示したように、膜厚 50 nm のシリコン酸化膜 113 を形成した。次に、ランプアニールなどの短時間アニール装置を用いて所望の熱処理を行い、シリコン膜 110 および 111 からシリコン膜 106 内に、それぞれ n 型不純物および p 型不純物を拡散し、拡散深さが 50 nm 以下の浅い n 型不純物拡散層 115 および浅い p 型不純物拡散層 116 を形成した。この際、不純物拡散層 115、116 が

素子分離酸化シリコン膜 102 にそれぞれ到達するように、拡散深さを制御した。また、不純物拡散層 115、116 の濃度が、バンチスルーストップ層 108、109 の不純物濃度よりも、1 桁以上多くなるように、バンチスルーストップ層 108、109 の不純物濃度を調整しておいたため、n 型不純物拡散層 115 および p 型不純物拡散層 116 を形成することができた。

【0044】シリコン窒化膜 107 を除去し、露出されたシリコン膜 106 表面を酸化して、膜厚 10 nm 以下の薄いゲート酸化膜 114 を形成し、タングステン等の金属膜の形成および選択的エッチングを行って、金属よりなるゲート電極 117 を形成し、図 22 に示した CMOSFET を形成した。最後に内部配線や電源線などの必要な配線を行って、半導体集積回路を完成した。

【0045】本実施例においても、先に説明したと同じ特長を有するトランジスタを具備しているため、同様の特長が得られるのは当然であり、極めて高速な CMOSFET を実現できた。

【0046】〈実施例 6〉本発明の第 6 の実施例を図 23 を用いて説明する。本実施例は、上記実施例 5 における製造工程を一部変えて CMOSFET を形成した例である。本実施例は、上記実施例 5 におけるバンチスルーストップ層 108 の位置を、ゲート電極領域の下とし、また、ゲート酸化膜 114 を、25 程度という高い誘電率を有するタンタル酸化膜 119 に置き換えた。高誘電体ゲート絶縁膜としては、タンタル酸化膜の他に、チタン酸ジルコン酸鉛などの、強誘電体膜を用いることも可能である。本実施例においても、上記実施例 5 と同様の効果が得られ、高速の CMOSFET を実現することができた。

【0047】〈実施例 7〉本発明の第 7 の実施例を図 24 を用いて説明する。本実施例は、上記実施例 5 におけるバンチスルーストップ層 108 の位置を、ゲート領域の下にし、またゲート酸化膜 114 を形成する前に、露出されたシリコン膜 106 の上のおきに、膜厚が 20 nm の、不純物イオンを含まない単結晶シリコン膜 120 を選択的に成長し、その後ゲート酸化膜 114 を形成したものである。こうすることで、低濃度チャネル層 120 を形成することができ、効果的にドレイン飽和電流を増加できた。本実施例においても、上記実施例 5 と同様の効果が得られ、高速の CMOSFET を実現することができた。

【0048】〈実施例 8〉MOSFET をシリコン基板に形成した他の実施例を、図 25 ~ 図 28 を用いて説明する。まず図 25 に示したように、シリコン基板 131 の所定部分に、素子分離シリコン酸化膜 132 および絶縁膜が充填された素子分離溝 133 を形成し、第 1 導電型ウエル拡散層 134 を形成した。

【0049】次に、膜厚 200 nm のシリコン窒化膜を形成し、ドライエッチングによりシリコン窒化膜 135

を所望の形状に加工した後、LPCVD法により、膜厚 100 nm の単結晶シリコン膜 136 を、露出されたシリコン基板 131 上のみに選択的に成長させた。この際、図 26 に示したように、ファセット面と称される、シリコン基板 131 表面とは結晶方位が異なり、シリコン基板 131 表面とある決まった角度をなす面を、シリコン窒化膜 135 周辺の単結晶シリコン膜 136 に形成した。これにより、シリコン窒化膜 135 の近傍における単結晶シリコン膜 136 の側面は、シリコン基板 131 表面に対して、60 度以下の角度を成した。

【0050】第 2 導電型不純物イオンを、単結晶シリコン膜 136 の表面付近にイオン打ち込みして、その際の打ち込み加速エネルギーを制御することにより、拡散深さが 10 nm で、表面不純物濃度が $1 \times 10^{19} / \text{cm}^3$ 前後の、浅い第 1 導電型不純物拡散層 137 を形成した。その後、膜厚 200 nm のシリコン酸化膜を形成し、異方性ドライエッチングを行って、図 27 に示したように、上記シリコン窒化膜 135 の側壁にシリコン酸化膜 138 を残した。

【0051】シリコン膜 136 の露出された表面を酸化して、膜厚 50 nm 前後のシリコン酸化膜を設けた後、第 1 導電型不純物イオンを、単結晶シリコン膜 136 にイオン打ち込みし、打ち込み加速エネルギーを制御することにより、拡散深さが 80 nm 前後で、ピークの不純物濃度が $1 \times 10^{19} / \text{cm}^3$ 以上の、高濃度第 1 導電型不純物拡散層 139 を形成した。ランプアニール法などの短時間アニールを行って、打ち込まれた上記第 1 導電型不純物イオンを活性化した後、シリコン窒化膜 135 を除去し、露出されたシリコン基板 131 の表面を酸化して、膜厚 10 nm 以下の薄いゲート酸化膜 140 を形成し、周知の手段を用いてタングステン等の金属膜の形成および選択的なエッチングを行って、上記金属からなるゲート電極 141 を形成し、図 28 に示す MOSFET を形成した。

【0052】最後に内部配線や電源線などの必要な配線を行って、本 MOSFET を用いた半導体集積回路を完成した。本実施例においても、ソースおよびドレイン拡散層となる第 1 導電型の不純物拡散層 137 が、ゲート酸化膜 140 を介してゲート電極 141 に接近しており、かつソースおよびドレイン電極となる単結晶シリコン膜 136 の側面形状が、シリコン基板 131 表面に対して 60 度以下の角度で傾斜している構造を有するため、上記のように、ドレイン飽和電流を増加することができ、ゲート寄生容量を低減できた。

【0053】さらに、第 1 導電型不純物拡散層 139 が、第 2 導電型ウェル拡散層 134 から離れているため、寄生接合容量は低減されて高速の MOSFET が実現された。

【0054】〈実施例 9〉本発明の第 9 の実施例 9 を、

10

20

30

40

50

本実施例は、命令や演算を処理するプロセッサ 500 が、複数個並列に接続された高速大型計算機システムに、上記実施例 1~8 において得られた半導体装置によって構成された高速半導体集積回路を適用した例である。本実施例では、使用された上記高速半導体集積回路の集積度が高いため、命令や演算を処理するプロセッサ 500、システム制御装置 501 および主記憶装置 502 などを、1 辺が約 10~30 mm のシリコン半導体チップで構成できた。これら命令や演算を処理するプロセッサ 500、システム制御装置 501 および化合物半導体集積回路からなるデータ通信インタフェース 503 を、同一セラミック基板 506 に実装した。また、データ通信インタフェース 503 とデータ通信制御装置 504 を、同一セラミック基板 507 に実装した。

【0055】これらセラミック基板 506、507 および主記憶装置 502 を実装したセラミック基板を、大きさが 1 辺約 50 cm 程度、あるいはそれ以下の基板に実装し、大型計算機の中央処理ユニット 508 を形成した。この中央処理ユニット 508 内データ通信や、複数の中央処理ユニット間データ通信、あるいはデータ通信インタフェース 503 と入出力プロセッサ 505 を実装した基板 509 との間のデータの通信は、図 29 において両端矢印線で示されている光ファイバ 510 を介して行なわれる。

【0056】この計算機では、命令や演算を処理するプロセッサ 500 や、システム制御装置 501 や、主記憶装置 502 などのシリコン半導体集積回路が、並列に高速で動作し、また、データの通信を光を媒体に行なったため、1 秒間当りの命令処理回数を大幅に増加することができた。

【0057】〈実施例 10〉本発明の第 10 の実施例を、光伝送システムの構成を示す図 30 を用いて説明する。本実施例は、上記実施例 1~8 において得られた半導体装置を、データを超高速で送信する光送信モジュール 613 および上記データを受信する光受信モジュール 614 の両伝送システムに適用した例である。

【0058】本実施例では、上記実施例 1~8 において製造された半導体装置によって、送信側電気信号 610 を処理する多重変換デジタル回路 601、半導体レーザ 603 を駆動するための半導体レーザ駆動アナログ回路 602 からなる光送信モジュール 613、さらに、送信された光信号 611 をフォトダイオード 604 によって変換された受信側電気信号 612 を増幅する前置増幅器 605、自動利得制御増幅器 606、クロック抽出回路 607、識別回路 608 の各アナログ回路およびデジタル回路である分離変換回路 609 等で構成される光受信モジュール 614 を構成した。

【0059】上記実施例 1~8 において得られた半導体装置は、極めて高速度で動作できるため、1 秒当たり 10 G ビットという大容量の信号を極めて高速度で送受信

することができた。

【0060】〈実施例11〉本発明の第4の実施例を図31によって説明する。本実施例は、上記実施例1～8のいずれかにおいて形成された半導体装置によって信号伝送処理装置を構成した例であり、特に非同期伝送方式信号伝送処理装置（ATM交換器と称される）に関するもので、その構成を図31に示した。

【0061】図31に示したように、光ファイバーによって高速度で直列的に伝送されてきた情報信号は電気信号に変換（O/E変換）され、かつ並列化（S/P変換）させる装置を介して本発明の実施例1～8のいずれかにおいて得られたMOSFETから構成された集積回路（BFMLSI）に導入した。当該集積回路によって番地付処理された電気信号は、直列化（P/S変換）及び光信号化（E/O変換）されて光ファイバーで出力される。上記BFMLSIは多重器（MUX）、バッファメモリ（BEM）および分離器（DMUX）から構成される。

【0062】該BFMLSIはメモリ制御LSI、及び空アドレス振分け制御の機能を有するLSI（空アドレスFIFOメモリLSI）により制御される。本信号伝送処理装置は、伝送すべき番地と無関係に送られてくる超高速伝送信号を所望番地に超高速で伝送するスイッチの機能を有する装置である。BFMLSIは入力光信号の伝送速度に比べて著しく動作速度が遅いため、入力信号を直接スイッチングできず、入力信号を一時記憶させ、記憶された信号をスイッチングしてから超高速な光信号に変換して所望番地に伝送する方式を用いている。

【0063】BFMLSIの動作速度が遅ければ、大きな記憶容量が要求される。本実施例におけるATM交換器においては、BFMLSIが上記実施例1～8のいずれかにおいて形成されたMOSFETで構成されるので、従来のBFMLSIに比べて動作速度が3倍と高速で、かつ廉価なため、BFMLSIの記憶容量を従来比で約1/3と低減することがとが可能となった。これによって、TM交換器の製造原価を低減することができた。

【0064】

【発明の効果】本発明によれば、先に説明したように、ソースとドレイン間のリーク電流が減少し、ドレイン飽和電流およびソースとドレイン間耐圧が向上し、ゲート、ソースおよびドレインの寄生容量および電極寄生抵抗が低減する。そのため、本発明による半導体装置を用いた半導体集積回路は、著しく高速化され、この半導体装置を用いて構成された各種システムの高速化を容易に実現することができる。

【図面の簡単な説明】

【図1】本発明の実施例1を示す断面図、

【図2】本発明の実施例2を示す断面図、

【図3】本発明の実施例1を示す平面図、

【図4】従来技術を示す断面図、

【図5】本発明の効果を示す特性図、

【図6】本発明の実施例1を説明するための工程図、

【図7】本発明の実施例1を説明するための工程図、

【図8】本発明の実施例1を説明するための工程図、

【図9】本発明の実施例1を説明するための工程図、

【図10】本発明の実施例1を説明するための工程図、

【図11】本発明の実施例1を説明するための工程図、

【図12】本発明の実施例3を説明するための工程図、

【図13】本発明の実施例3を説明するための工程図、

【図14】本発明の実施例3を説明するための工程図、

【図15】本発明の実施例3を説明するための工程図、

【図16】本発明の実施例3を説明するための工程図、

【図17】本発明の実施例4を示す断面図、

【図18】本発明の実施例5を説明するための工程図、

【図19】本発明の実施例5を説明するための工程図、

【図20】本発明の実施例5を説明するための工程図、

【図21】本発明の実施例5を説明するための工程図、

【図22】本発明の実施例5を説明するための工程図、

【図23】本発明の実施例6を示す断面図、

【図24】本発明の実施例7を示す断面図、

【図25】本発明の実施例8を説明するための工程図、

【図26】本発明の実施例8を説明するための工程図、

【図27】本発明の実施例8を説明するための工程図、

【図28】本発明の実施例8を説明するための工程図、

【図29】本発明の実施例9を説明するための計算機システム構成図、

【図30】本発明の実施例10を説明するための光伝送システム構成図、

【図31】本発明の実施例11を説明するための信号伝送処理装置構成図、

【図32】本発明の効果を示す曲線図。

【符号の説明】

1…シリコン基板、 2…シリコン酸化膜、 3…薄膜シリコン膜、 4…シリコン窒化膜、 5…シリコン酸化膜、 6…多結晶シリコン膜、 7…第1導電型不純物拡散層、 8…高濃度単結晶シリコン成長膜、 9…シリコン酸化膜、 10…パンチスルーストップ層、 11…ゲート酸化膜、 12…第1導電型不純物拡散層、 13…金属ゲート電極、 14…金属ソース電極、 15…金属ゲート電極、 16…金属ドレイン電極、 21…シリコン基板、 22…シリコン酸化膜 23…シリコン膜、 24…ゲート酸化膜、 25…多結晶シリコンゲート電極、 26…シリコン窒化膜、 27…シリコン酸化膜、 28…パンチスルーストップ層、 30…高濃度単結晶シリコン成長膜、 31…シリコン酸化膜、 32…第1導電型不純物拡散層、 33…第1導電型不純物拡散層、 34…金属ソース電極、 35…金属ゲート電極、 36…金属ドレイン電極、 40…単結晶シリコン成長膜、 41…高濃度第1導電型単結晶シリコン成長膜、 42…第1導電型不純物拡散層、

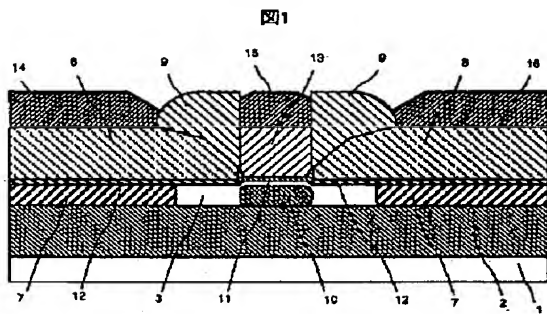
17

43…ゲート酸化膜、44…金属ゲート電極、50…従来のMOSFETの特性、51…本発明のMOSFETの特性、52…従来のMOSFETのゲート寄生容量、53…本発明のMOSFETのゲート寄生容量、70…シリコン基板、71…ゲート酸化膜、72…多結晶シリコンゲート電極、73…ソース拡散層、74…ドレイン拡散層、75…シリコン酸化膜、76…積み上げソース電極、77…積み上げドレイン電極、80…シリコン基板、81…ゲート酸化膜、82…多結晶シリコンゲート電極、83…シリコン酸化膜、84…積み上げソース電極、85…積み上げドレイン電極、86…ソース拡散層、87…ドレイン拡散層、101…シリコン基板、102…素子分離シリコン酸化膜、103…素子分離溝、104…p型ウエル拡散層、105…n型ウエル拡散層、106…シリコン成長膜、107…シリコン窒化膜、108…p型パンチスルーストップ層、109…n型パンチスルーストップ層、110…高濃度n型単結晶シリコン成長膜、111…高濃度p型単結晶シリコン成長膜、112…シリコン酸化膜、113…シリコン酸化膜、114…ゲート酸化膜、115…n型不純物拡散層、116…p型不純物拡散層、117…金

18

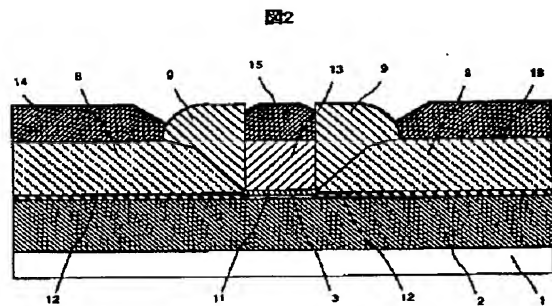
属ゲート電極、119…タンタル酸化膜、120…単結晶シリコン成長膜、131…シリコン基板、132…素子分離シリコン酸化膜、133…素子分離溝、134…第2導電型ウエル拡散層、135…シリコン窒化膜、136…単結晶シリコン成長膜、137…第1導電型不純物拡散層、138…シリコン酸化膜、139…第1導電型不純物拡散層、140…ゲート酸化膜、141…金属ゲート電極、500…プロセッサ、501…システム制御装置、502…主記憶装置、503…データ通信インタフェース、504…データ通信制御装置、505…入出力プロセッサ、506…セラミック基板、507…セラミック基板、508…中央処理ユニット、509…入出力プロセッサ実装基板、510…光ファイバ、601…多重変換デジタル回路、602…半導体レーザ駆動アナログ回路、603…半導体レーザ、604…フォトダイオード、605…前置増幅器、606…自動利得制御増幅器、607…クロック抽出回路、608…識別回路、609…分離変換デジタル回路、610…送信側電気信号、611…送信された光信号、612…受信側電気信号、613…光送信モジュール、614…光受信モジュール。

【図1】

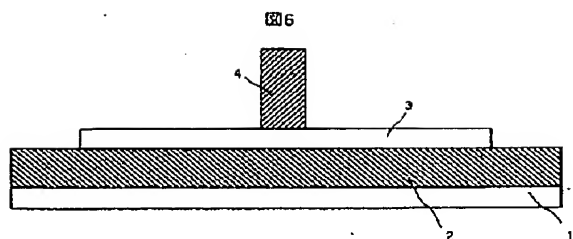


1…シリコン基板、2、5、8…シリコン酸化膜、
3…単結晶シリコン膜、4…シリコン窒化膜、
6…多結晶シリコン膜、7、12…不純物拡散層、
8…単結晶シリコン膜、10…パンチスルーストップ層、
11…ゲート酸化膜、13、15…金属ゲート電極、
14…金属ソース電極、16…金属ドレイン電極。

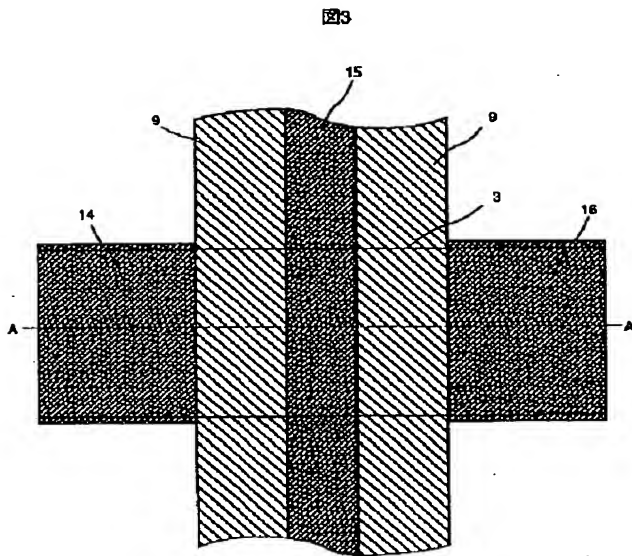
【図2】



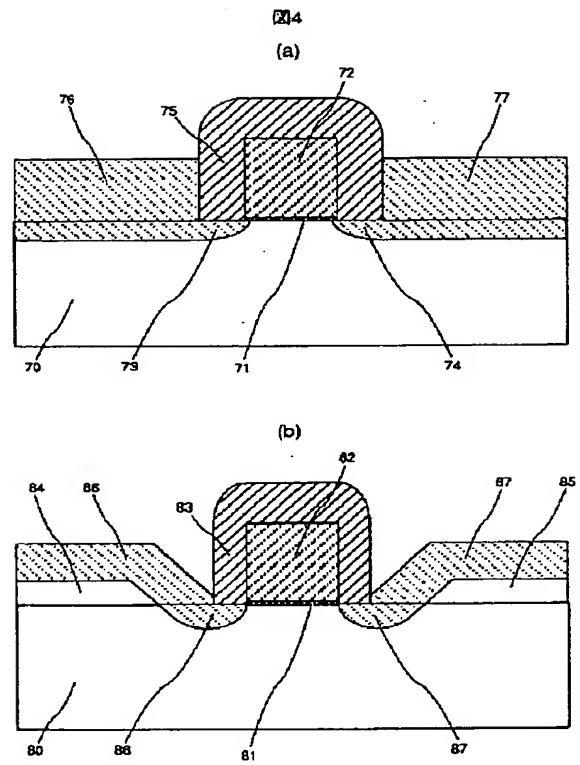
【図6】



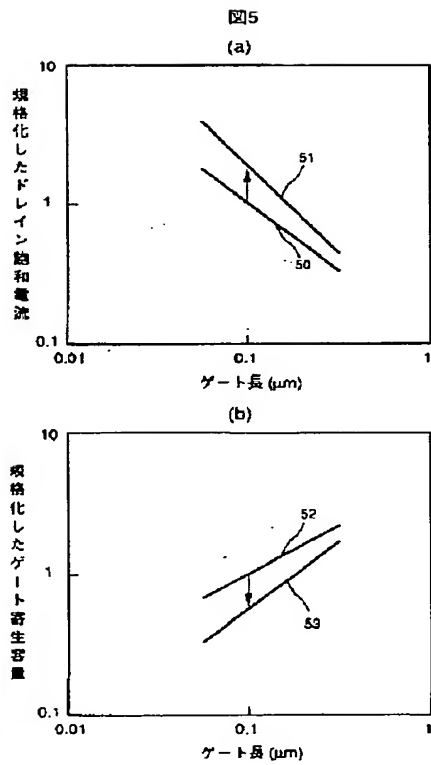
【図 3】



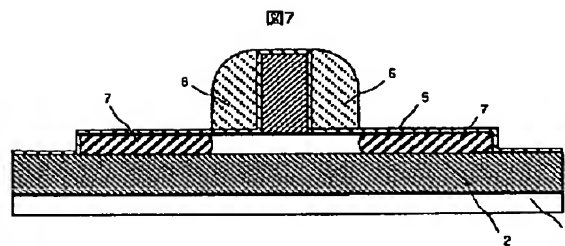
【図 4】



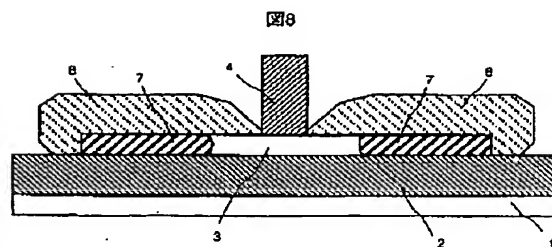
【図 5】



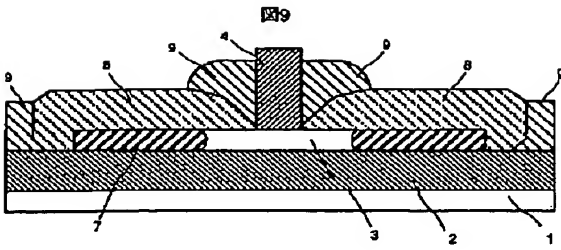
【図 7】



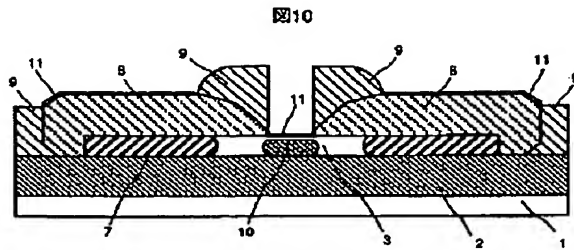
【図 8】



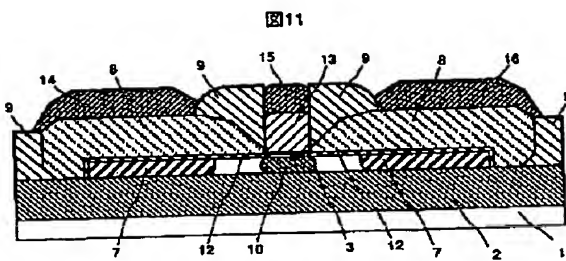
【 図 9 】



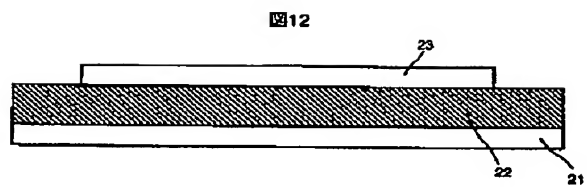
【 図 10 】



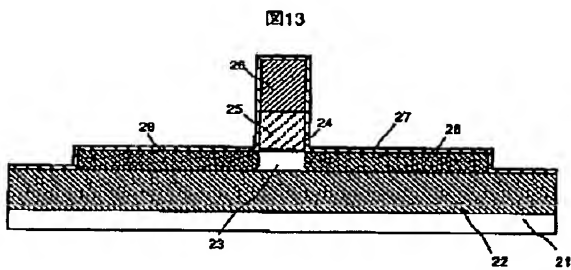
【 図 11 】



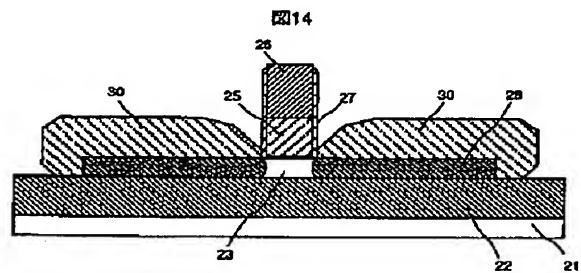
【 図 12 】



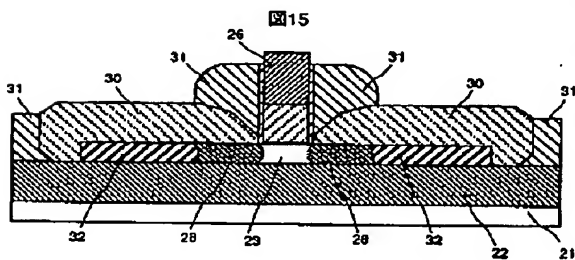
【 図 13 】



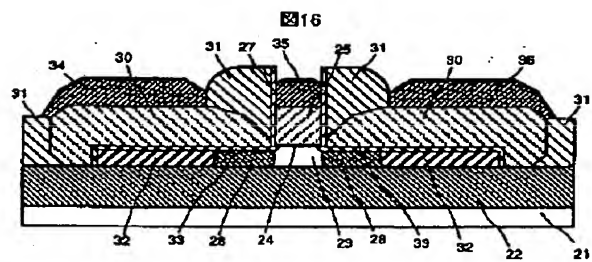
【 図 14 】



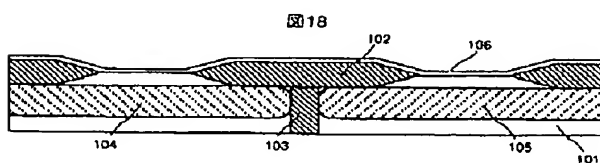
【 図 15 】



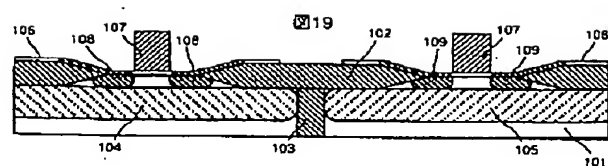
【 図 16 】



【 図 18 】

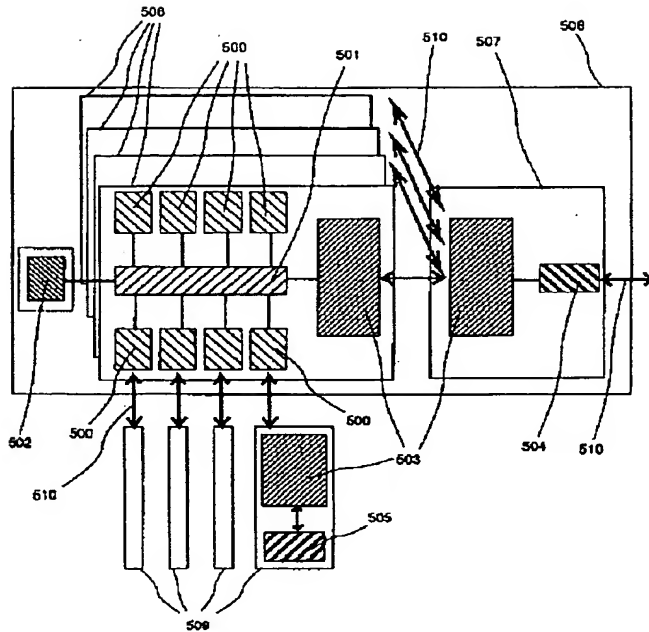


【 図 19 】



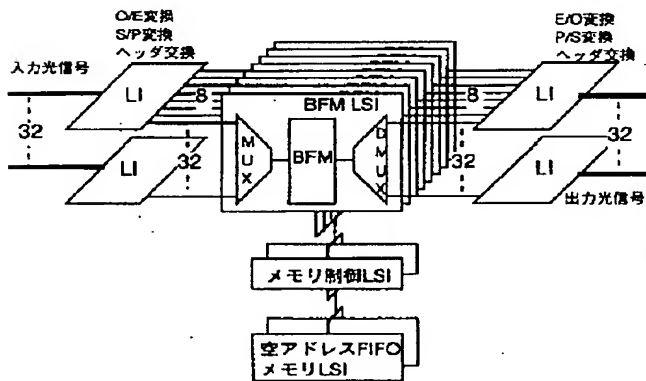
【図 29】

図 29



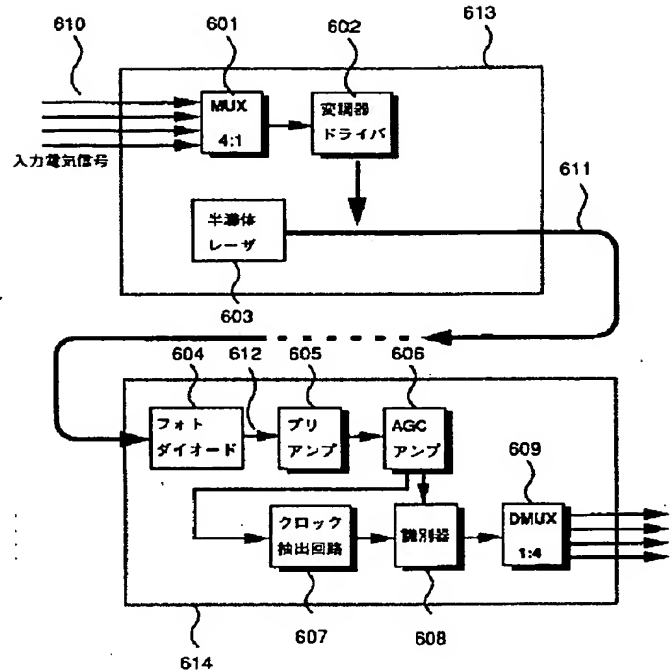
【図 31】

図 31



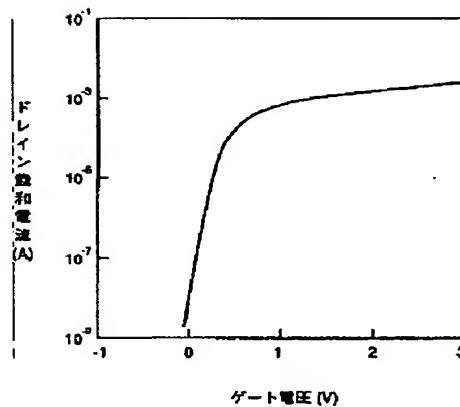
【図 30】

図 30



【図 32】

図 32



フロントページの続き

(72) 発明者 内野 俊
東京都国分寺市東恋ヶ窪 1 丁目 2 8 0 番地
株式会社日立製作所中央研究所内

(72) 発明者 大西 和博
東京都国分寺市東恋ヶ窪 1 丁目 2 8 0 番地
株式会社日立製作所中央研究所内

(72) 発明者 清田 幸弘
東京都国分寺市東恋ヶ窪 1 丁目 2 8 0 番地
株式会社日立製作所中央研究所内

(72) 発明者 島本 裕巳
千葉県茂原市早野 3 6 8 1 番地 日立デバ
イスエンジニアリング株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.